

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221348

(43) 公開日 平成7年(1995)8月18日

(51) Int. Cl. ⁶
H01L 33/00
21/28
識別記号
D
E
301 B 8826-4M

F I

審査請求 未請求 請求項の数 6 O L (全6頁)

(21) 出願番号 特願平6-9075

(22) 出願日 平成6年(1994)1月31日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 林 茂生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 大川 和宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 三露 常男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

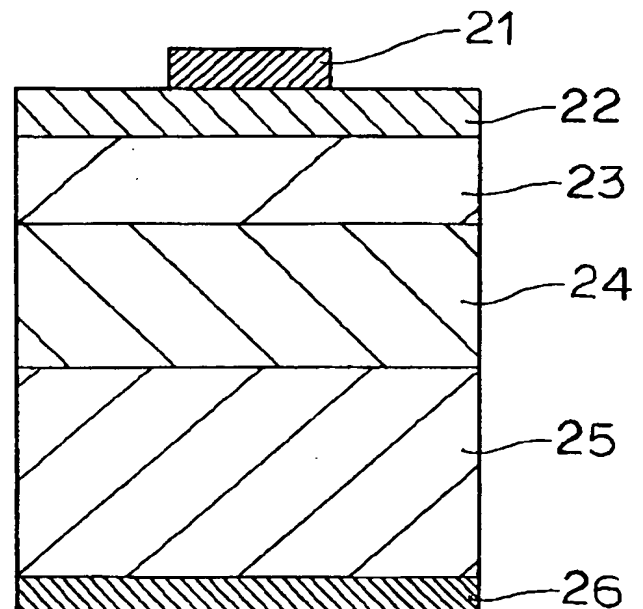
(74) 代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 電極及びその製造方法

(57) 【要約】

【目的】 p型II-VI族化合物半導体の上にショットキー性の電位障壁が存在しない電流注入型の電極を実現する。

【構成】 ZnSe系ダイオードにおけるp型ZnSe層23上に、インジウムの銅に対する原子数比(In/Cu)が0.4~1.0の範囲にあるp'型CuInSe₂カルコパイライト層22を形成し、その上にAu電極21を形成する。



【特許請求の範囲】

【請求項1】 p型II-V族化合物半導体の上にp型カルコパイライト層を有し、前記p型カルコパイライト層の上に金属層を有する電極。

【請求項2】 カルコパイライト層として、セレン化銅インジウム(CuInSe_2)又は硫化銅インジウム(CuInS_2)のいずれか又はその混晶を用いる請求項1に記載の電極。

【請求項3】 カルコパイライト層中のインジウムの銅に対する原子数比(In/Cu)が0.4~1.0の範囲にある請求項2に記載の電極。

【請求項4】 金属層として、金もしくは金を主成分とする合金を用いる請求項1に記載の電極。

【請求項5】 II-V族化合物半導体として、カチオンが亜鉛、カドミウム、マグネシウム、マンガンのうちいずれか又はその組合わせからなり、アニオンが硫黄、セレンのうちいずれか又はその組合わせからなる化合物半導体を用いる請求項1に記載の電極。

【請求項6】 p型II-V族化合物半導体の上にp型カルコパイライト層を有し、前記p型カルコパイライト層の上に金属層を有する電極の製造方法であって、前記II-V族化合物半導体の上に水素化V族化合物を供給しながら加熱して得た表面上に、カルコパイライト層を結晶成長させることを特徴とする電極の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、p型II-V族化合物半導体の電極及びその製造方法に関する。

【0002】

【従来の技術】従来、この分野の電極は、p型II-V族化合物半導体の上に直接金(Au)を蒸着することによって形成されていた。

【0003】

【発明が解決しようとする課題】しかし、 ZnSe や CdS などの、V族がTe以外のII-V族化合物半導体の上に形成したAu電極はショットキー性の電極となり、電流注入型の電極としては特性の良好なものでなかった。これに対し、キャリア密度は低いがアクセプタ濃度の高い p^+ 層を電極コンタクト層として用いる試みがなされているが、アクセプタ濃度が 10^{18}cm^{-3} 台のものしか得られておらず、ショットキー性の電位障壁を十分に減少させるには至っていない。そして、電極部におけるこの電位障壁のために、電流の立ち上がり電圧が約2V以上の高いものしか得られていなかった。

【0004】本発明は、前記従来技術の課題を解決するため、p型II-V族化合物半導体の電流注入型の電極及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】前記目的を達成するた

め、本発明に係る電極は、p型II-V族化合物半導体の上にp型カルコパイライト層を有し、前記p型カルコパイライト層の上に金属層を有するという構成を備えたものである。

【0006】また、前記構成においては、カルコパイライト層として、セレン化銅インジウム(CuInSe_2)又は硫化銅インジウム(CuInS_2)のいずれか又はその混晶を用いるのが好ましく、この場合にはさらに、カルコパイライト層中のインジウムの銅に対する原子数比(In/Cu)が0.4~1.0の範囲にあるのが好ましい。

【0007】また、前記構成においては、金属層として、金もしくは金を主成分とする合金を用いるのが好ましい。また、前記構成においては、II-V族化合物半導体として、カチオンが亜鉛、カドミウム、マグネシウム、マンガンのうちいずれか又はその組合わせからなり、アニオンが硫黄、セレンのうちいずれか又はその組合わせからなる化合物半導体を用いるのが好ましい。

【0008】また、本発明に係る電極の製造方法は、p型II-V族化合物半導体の上にp型カルコパイライト層を有し、前記p型カルコパイライト層の上に金属層を有する電極の製造方法であって、前記II-V族化合物半導体の上に水素化V族化合物を供給しながら加熱して得た表面上に、カルコパイライト層を結晶成長させることを特徴とする。

【0009】

【作用】前記構成によれば、p型II-V族化合物半導体の上にショットキー性の電位障壁が存在しない電流注入型の電極を実現することができる。このように理想的な電極を実現できるのは、以下の作用に基づくものである。

【0010】すなわち、セレン化銅インジウム(CuInSe_2)などのカルコパイライトの伝導型は、不純物を添加することによって制御することができるが、これ以外に、銅とインジウムのストイキオメトリーをずらすことによって制御可能であることが知られている。そして、銅過剰のセレン化銅インジウムは、抵抗率が非常に低いp型伝導を示し、金電極に関してオーミック性の接触を示すことが知られている。また、このp型セレン化銅インジウムとp型 ZnSe (p型II-V族化合物半導体)とを接合した場合、アニオン共通則を考慮すれば、価電子帯バンドオフセットの殆どない接触になると考えられる。従って、このように銅過剰のp型セレン化銅インジウムをp型 ZnSe の電極コンタクト層として用い、その上に金電極を形成することにより、p型 ZnSe (p型II-V族化合物半導体)への正孔の注入に関する電位障壁が存在しない電極を実現することができる。

【0011】また、前記構成において、カルコパイライト層として、セレン化銅インジウム(CuInSe_2)

又は硫化銅インジウム (CuInS_2) のいずれか又はその混晶を用い、この場合さらに、カルコパイライト層中のインジウムの銅に対する原子数比 (In/Cu) が 0.4 ~ 1.0 の範囲にあるという好ましい構成によれば、高い結晶性を保ちながら非常に低い抵抗値を示すカルコパイライト層を実現することができるので、p 型 I - V I 族化合物半導体の電極コンタクト層として極めて有用である。

【0012】また、前記構成において、金属層として、金もしくは金を主成分とする合金を用いるという好ましい構成によれば、p 型カルコパイライト層に関して電位障壁が存在せず、オーミック性の接触を得ることができるので、電流注入型の電極としてその効果は大きい。

【0013】また、前記本発明方法の構成によれば、I - V I 族化合物半導体の上に水素化 V I 族化合物を供給しながら加熱することにより、I - V I 族化合物半導体表面の酸化膜を効率的に除去することができ、その結果、電位障壁の原因となる I - V I 族化合物半導体とカルコパイライト層との界面に酸化膜が残存することはないので、素子全体の電気的特性を向上させることができる。

【0014】

【実施例】以下、カルコパイライト層を電極コンタクト層として用いた ZnSe ダイオードを例に挙げ、本発明をさらに具体的に説明する。

【0015】まず、電極コンタクト層の製造方法について説明する。図 1 は本実施例で用いた分子線エピタキシャル成長装置の概略図である。図 1 において、14a はセレン化水素のガスクラッキングセル、14b はセレン化水素のガスボンベである。また、15、16、17 はそれぞれエフュージョンセルに入った銅、インジウム、金属セレンであり、これらを加熱蒸発させることにより、銅、インジウム、金属セレンの分子線を得ることができる。そして、これらの分子線を、加熱された基板 13a の上に供給すれば、 CuInSe_2 カルコパイライト薄膜を形成することができる。尚、図 1 中、11 は真空容器、12 は真空ポンプ、13b は基板加熱用のヒータを備えた基板ホルダである。

【0016】まず、他の I - V I 族半導体薄膜製造装置を用いて形成した ZnSe ダイオードウェハ (基板) 13a を真空容器 11 内の基板ホルダ 13b に装着し、真空ポンプ 12 によって真空容器 11 内を 10^{-3} Torr 程度の超高真空まで排気する。そして、 ZnSe ダイオードウェハ 13a を 10 分間にわたって 250°C に保持し、基板表面の水分などを除去する。次いで、 ZnSe ダイオードウェハ 13a の上に、セレン化水素 14b を 700°C に保持したガスクラッキングセル 14a を通して 0.2cc/分 (0°C 1 気圧の状態に換算した値) の流量で 20 分間照射する。セレン化水素の照射処理が終了したら、真空ポンプ 12 によって真空容器 11 内を

十分に排気する。次いで、各原料分子線のシャッターを開き、銅、インジウム、金属セレンの分子線を ZnSe ダイオードウェハ 13a の上に同時に照射して、 CuInSe_2 カルコパイライト薄膜を形成する。ここで、 CuInSe_2 カルコパイライト薄膜を成長させる際の基板温度は 200°C 、各原料分子線源の温度は銅、インジウム、金属セレンの温度をそれぞれ 1150°C 、 820°C 、 160°C とした。尚、各分子線の強度を電離真空計で測定したところ、それぞれ 2.0×10^{-1} Torr、 3.4×10^{-1} Torr、 5.0×10^{-5} Torr であった。

【0017】以上のようにして形成した CuInSe_2 カルコパイライト薄膜を元素分析した結果、Cu と In のストイキオメトリーがずれており、インジウムの銅に対する原子数比 (In/Cu) は 0.8 であった。

【0018】 CuInSe_2 カルコパイライト薄膜中の (In/Cu) は、In と Cu の原料供給比を変えることによって容易に制御することができた。例えば、In と Cu の分子線圧を等しくした場合には、形成される CuInSe_2 カルコパイライト薄膜中の (In/Cu) は 0.5 となり、In の分子線圧を Cu の分子線圧の 2 倍にした場合には、形成される CuInSe_2 カルコパイライト薄膜中の (In/Cu) は 1.0 となった。これらのカルコパイライト層の電気的特性は、ノンドープの高抵抗 ZnSe の上に CuInSe_2 カルコパイライト薄膜を形成して測定した。(In/Cu) が 1.0 よりも小さい場合には、熱起電力法で p 型伝導を示し、抵抗率が $0.1\ \Omega \cdot \text{cm}$ 以上の低抵抗膜であった。本実施例における CuInSe_2 カルコパイライト薄膜中の (In/Cu) は、上記したように 0.8 であり、抵抗率は $5 \times 10^{-2}\ \Omega \cdot \text{cm}$ であった。また、(In/Cu) が 1.0 よりも大きい場合には、抵抗率が劇的に増加して $10^4\ \Omega \cdot \text{cm}$ のオーダーになり、かつ、伝導型が反転して n 型伝導を示すようになった。

【0019】以上のような方法によって形成した CuInSe_2 カルコパイライト層を電極コンタクト層として用いた ZnSe ダイオードの素子構造を図 2 に示す。図 2 において、21 は Au 電極、22 は p' 型 CuInSe_2 カルコパイライト層 (厚さ $0.1\ \mu\text{m}$ 、抵抗率 $2 \times 10^{-2}\ \Omega \cdot \text{cm}$)、23 は p 型 ZnSe 層 (厚さ $0.5\ \mu\text{m}$ 、キャリア密度 $4 \times 10^{17}\ \text{cm}^{-3}$)、24 は n 型 ZnSe 層 (厚さ $3\ \mu\text{m}$ 、キャリア密度 $4 \times 10^{17}\ \text{cm}^{-3}$)、25 は n' 型 GaAs 基板 (キャリア密度 $2 \times 10^{18}\ \text{cm}^{-3}$)、26 は In 電極である。尚、p' 型 CuInSe_2 層 22 中の (In/Cu) は 0.8 である。

【0020】比較のために、電極コンタクト層としてカルコパイライト層を用いない従来の ZnSe ダイオードも作製した。この素子の構造を図 5 に示す。図 5 において、51 は Au 電極、52 は p' 型 ZnSe コンタクト

層(厚さ0.1 μ m、キャリア密度 1×10^{18} cm $^{-3}$)、53はp型ZnSe層(厚さ0.5 μ m、キャリア密度 4×10^{17} cm $^{-3}$)、54はn型ZnSe層(厚さ3 μ m、キャリア密度 4×10^{17} cm $^{-3}$)、55はn $^{+}$ 型GaAs基板(キャリア密度 2×10^{18} cm $^{-3}$)、56はIn電極である。

【0021】図6に、カルコパイライト層を用いない従来のZnSeダイオード(図5)の電流電圧特性を示す。図6に示すように、電流の立ち上がり電圧は約5Vとなっている。この値は、ZnSeのpnジャンクションにおける理論予測値(バンドギャップと同じ値)である2.7Vに比べて2V以上大きな値である。このことは、電極部に2eV以上の電位障壁が存在していることを意味している。Au電極51に対するコンタクト層52がZnSeであるため、現在までに得られている最高のキャリア密度を有するp $^{+}$ 層を用いた場合でも、この上に形成した電極はショットキー性の接触となり、電流の立ち上がり電圧は高くなる。そして、このように動作電圧が高いために、ダイオード動作時に大きな電力を消費し、発熱量が大きくなって素子特性が悪いものとなる。

【0022】図3に、カルコパイライト層を電極コンタクト層として用いたZnSeダイオード(図2)の電流電圧特性を示す。図3に示すように、電極コンタクト層としてカルコパイライト層を用いることにより、ダイオード特性における電流の立ち上がり電圧は約3Vとなった。この値は、ZnSeのpn接合ダイオードにおける立ち上がり電圧の理論予測値にほぼ一致している。すなわち、電極部に電位障壁がほとんど存在せず、ほぼ理想的な電流注入型の電極を実現することができた。このことは、次のように考えることができる。すなわち、p $^{+}$ 型CuInSe $_2$ 層とp型ZnSe層とを接合した場合、アニオン共通則を考慮すれば、図4に示すようなバンドダイアグラムとなり、価電子帯バンドオフセットの殆どない接触になる。そして、このように銅過剰のp $^{+}$ 型CuInSe $_2$ 層22をp型ZnSe層23の電極コンタクト層として用い、その上にAu電極21を形成することにより、p型ZnSe層23への正孔の注入に関する電位障壁の存在しない電極を実現することができる。尚、図4において、41は伝導帯、42は禁制帯、43は価電子帯、44はZnSe、45はCuInSe $_2$ である。

【0023】また、セレン化水素を照射せずにカルコパイライト層を形成した場合には、電流の立ち上がり電圧は7Vと高いものになった。このように電流の立ち上がり電圧が高くなったのは、p型ZnSe層23とp $^{+}$ 型CuInSe $_2$ カルコパイライト層22との間に酸化膜が残存し、この酸化膜が電位障壁となって動作電圧の上昇を引き起こしたからであると考えられる。

【0024】尚、本実施例においては、ZnSeダイオ

ードウェハ(基板)13aの上に照射するセレン化水素の流量を0.2cc/分としているが、酸化膜除去の効果は流量にほとんど依存せず、本実施例で用いた分子線エピタキシャル成長装置の場合には、流量と処理時間との積が3cc程度で効果が飽和する(酸化膜が完全に除去される)傾向にあった。

【0025】また、本実施例においては、セレン化水素のクラッキング温度を700℃としているが、600℃以上であれば効果に大きな変化はなかった。また、本実施例においては、ZnSeダイオードウェハ13aの温度を250℃としているが、ZnSeダイオードウェハ13aの温度が高ければ高いほど酸化膜を短時間で除去することができた。しかし、ZnSeダイオードウェハ13aの形成温度以上の温度で処理した場合には、ZnSeダイオードウェハ13aの電氣的・光学的特性が劣化した。従って、処理温度としては、ZnSeダイオードウェハ13aの形成温度以下の温度を用いるのが好ましい。

【0026】また、本実施例においては、ZnSeダイオードウェハ13aの表面処理源としてセレン化水素を用いているが、必ずしもこれに限定されるものではなく、例えば、硫化水素やテルル化水素を用いた場合でもほぼ同様の効果を得ることができた。いずれのガスを用いた場合でも、水素化VI族の総流量が3cc程度で効果が飽和し、クラッキング温度が600℃以上であれば同様の効果を得ることができた。また、いずれのガスを用いた場合でも、ZnSeダイオードウェハ13aの温度が高ければ高いほど酸化膜を短時間で除去することができた。また逆に、これらの水素化VI族化合物ガスをZnSeダイオードウェハ13aの上に照射しなかったものは、同じ金属電極を形成した場合でも立ち上がり電圧が高くなった。

【0027】また、本実施例においては、カルコパイライト層を形成する手段として分子線エピタキシャル成長法を用いたが、必ずしもこの方法に限定されるものではなく、例えば、有機金属気相成長法などを用いても同様の効果を得ることができた。

【0028】また、本実施例においては、CuInSe $_2$ カルコパイライト層として、インジウムの銅に対する原子数比(In/Cu)が0.8のものを用いているが、必ずしもこの値のものに限定されるものではなく、0.4~1.0の範囲にあるものであれば、p型III-V族化合物半導体の電極コンタクト層として有効である。(In/Cu)が1よりも大きい場合には、CuInSe $_2$ カルコパイライト層はn型伝導を示し、ZnSe層とコンタクト層との間にさらに別のpn接合が形成されるため、素子全体としてはnpn構造となってダイオードとして機能しなくなる。また、(In/Cu)が0.4よりも小さい場合には、ストイキオメトリのずれが大きすぎるために結晶性が悪くなり、ダイオード動作

中に電流電圧特性が著しく劣化してしまう。

【0029】また、本実施例においては、カルコパイライト層としての p' 型 $CuInSe_2$ 層22の厚さを $0.1\mu m$ としているが、必ずしもこの厚さに限定されるものではなく、 $20nm \sim 0.3\mu m$ の範囲にあるものであれば、電極特性の良好なものを得ることができた。カルコパイライト層の厚さが $20nm$ よりも薄い場合には、薄すぎて本来のカルコパイライトとしての特性を示さなくなるためか、電極特性の改善は殆ど見られず、ショットキー性接触の電極となった。また、カルコパイライト層の厚さが $0.3\mu m$ よりも厚い場合には、キャリアの移動度が非常に低いために動作時の微分抵抗が大きくなり、ダイオード動作特性の非常に悪いものとなった。

【0030】また、本実施例においては、電極層の材料として金を用いているが、必ずしもこれに限定されるものではなく、例えば、金の中に 0.2 重量%の亜鉛を含む合金など、少量の他の金属を含む金の合金を用いた場合でも同様の電極特性を得ることができた。

【0031】また、本実施例においては、 $II-VI$ 族化合物半導体として $ZnSe$ を用いているが、必ずしもこれに限定されるものではなく、例えば、カチオンが最外殻電子を2個有する亜鉛、カドミウム、マグネシウム、マンガンのうちいずれか又はその組合わせからなり、アニオンが硫黄、セレンのうちいずれか又はその組合わせからなる化合物半導体（例えば、 ZnS や CdS 、 $ZnMnSSe$ 混晶、 $ZnMgSSe$ 混晶など）を用いた場合でも、同様のコンタクト層形成条件の下で、オーミック性接触を示す電流注入型の電極を得ることができた。

【0032】また、本実施例においては、電極コンタクト層としてセレン化銅インジウム($CuInSe_2$)を用いているが、アニオンがセレンのみからなる p 型 $II-VI$ 族化合物半導体の上に電極を形成する場合には、電極コンタクト層としてセレン化銅インジウムや硫化銅インジウム($CuInS_2$)、あるいはその混晶を用いた場合も、同様の効果を得ることができた。また、電極を形成しようとする p 型 $II-VI$ 族化合物半導体が混晶である場合には、その混晶の硫黄のセレンに対する原子数比が、電極コンタクト層として用いるカルコパイライト混晶の硫黄のセレンに対する原子数比に比較して同じか又は小さい場合に立ち上がり電圧が低くなった。そして、アニオンが硫黄のみからなる p 型 $II-VI$ 族化合物半導体の上に電極を形成する場合には、電極コンタクト層として硫化銅インジウムを用いた場合にのみ、立ち上がり電圧の低い電極を得ることができた。これは、 p 型 $II-VI$ 族化合物半導体への正孔の注入に関する電位障壁が存在しないか又は負であるためと考えられる。

【0033】また、本実施例においては、 $ZnSe$ ダイ

オードの電流注入型電極として用いた場合を例に挙げて説明したが、必ずしもこの用途に限定されるものではなく、あらゆる電流注入型のデバイスの電極として用いることができる。

【0034】

【発明の効果】以上説明したように、本発明に係る電極によれば、 p 型 $II-VI$ 族化合物半導体上に p 型カルコパイライト層を有し、前記カルコパイライト層上に金属層を有する構成であるため、従来困難であったショットキー性の電位障壁のほとんど存在しない電極を実現することができる。その結果、電流注入型の素子に応用した場合に効率の高い素子を実現することができ、実用上きわめて有用である。

【0035】また、本発明に係る電極の製造方法によれば、 $II-VI$ 族化合物半導体の上に水素化 VI 族化合物を供給しながら加熱することにより、 $II-VI$ 族化合物半導体表面の酸化膜を効率的に除去することができ、その結果、 $II-VI$ 族化合物半導体とカルコパイライト層との界面に酸化膜が残存することはないので、酸化膜に起因する電位障壁をなくして、素子全体の電気的特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る電極の製造方法の一実施例において用いた分子線エピタキシャル成長装置の概略図である。

【図2】本発明に係る電極の一実施例における $ZnSe$ ダイオードの構造を示す概略図である。

【図3】本発明に係る電極の一実施例における $ZnSe$ ダイオードの電流電圧特性図である。

【図4】本発明に係る電極の一実施例における $ZnSe$ と $CuInSe_2$ カルコパイライトの接合のバンドダイアグラム図である。

【図5】カルコパイライト層を用いない $ZnSe$ ダイオードの構造を示す概略図である。

【図6】カルコパイライト層を用いない $ZnSe$ ダイオードの電流電圧特性図である。

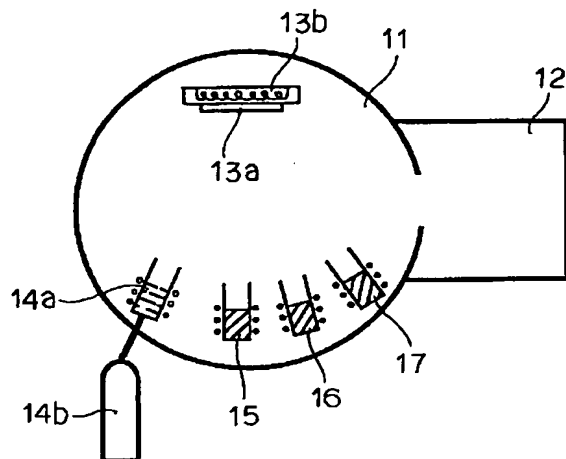
【符号の説明】

- 41 伝導帯
- 42 禁制帯
- 43 価電子帯
- 44 $ZnSe$
- 45 $CuInSe_2$ カルコパイライト
- 11 真空容器
- 12 真空ポンプ
- 13a $ZnSe$ ダイオードウェハ（基板）
- 13b 基板ホルダ
- 14a ガスクラッキングセル
- 14b セレン化水素のガスボンベ
- 15 エフュージョンセルに入った銅
- 16 エフュージョンセルに入ったインジウム

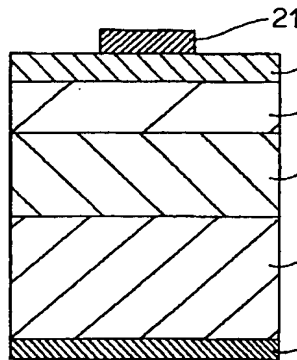
- 17 エフュージョンセルに入った金属セレン
 21 Au電極
 22 p'型CuInSe₂カルコパイライト層
 23、53 p型ZnSe層
 24、54 n型ZnSe層

- 25、55 n'型GaAs基板
 26、56 In電極
 51 Au電極
 52 p'型ZnSe層

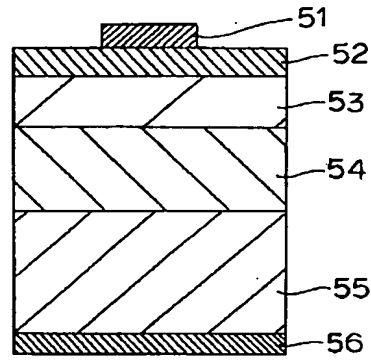
【図1】



【図2】

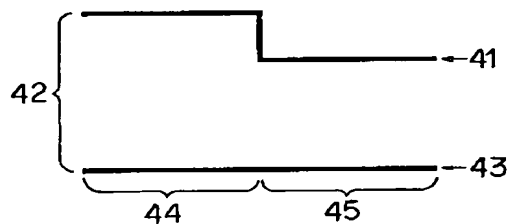
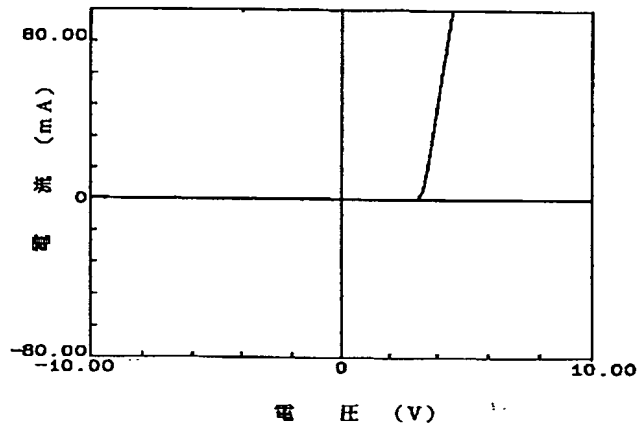


【図5】



【図4】

【図3】



【図6】

